

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-100991
 (43)Date of publication of application : 04.04.2003

(51)Int.CI.

H01L 27/10
 H01L 45/00

(21)Application number : 2001-286998

(71)Applicant : RICOH CO LTD

(22)Date of filing : 20.09.2001

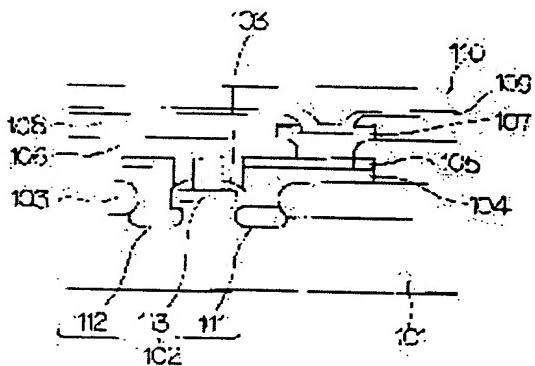
(72)Inventor : MIURA HIROSHI

(54) PHASE CHANGE TYPE NONVOLATILE MEMORY CELL, MEMORY ARRAY USING PHASE CHANGE TYPE NONVOLATILE MEMORY CELL AND METHOD FOR RECORDING INFORMATION IN PHASE CHANGE TYPE NONVOLATILE MEMORY CELL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase change type nonvolatile memory cell capable of recording/erasing at a high speed, and to provide a memory array using the phase change type nonvolatile memory cell and a method for recording information in the phase change type nonvolatile memory cell.

SOLUTION: The phase change type nonvolatile memory cell comprises a phase change recording layer containing a phase change material represented by an A(z)M(d)L(e) Sb(x)Te(y) of a composition formula, (wherein $z+d+e+x+y=100$ atomic %, $0 < z$, $x, y < 100$ atomic %, $0 \leq d < 100$ atomic %, and $0 \leq e < 100$ atomic %). The memory cells are connected to transistors to form a memory array. Further, electrical signals in which recording and erasing pulse widths are equalized, are applied to the memory cell.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-100991

(P2003-100991A)

(43)公開日 平成15年4月4日 (2003.4.4)

(51)Int.Cl.⁷
H 01 L 27/10
45/00

識別記号
4 5 1

F I
H 01 L 27/10
45/00

テマコード(参考)
4 5 1 5 F 0 8 3
A

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願2001-286998(P2001-286998)

(22)出願日 平成13年9月20日 (2001.9.20)

(71)出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72)発明者 三浦 博
東京都大田区中馬込1丁目3番6号 株式
会社リコー内
Fターム(参考) 5F083 FZ10 GA01 HA02 JA31 JA36
JA37 JA39 JA40 JA60 MA06

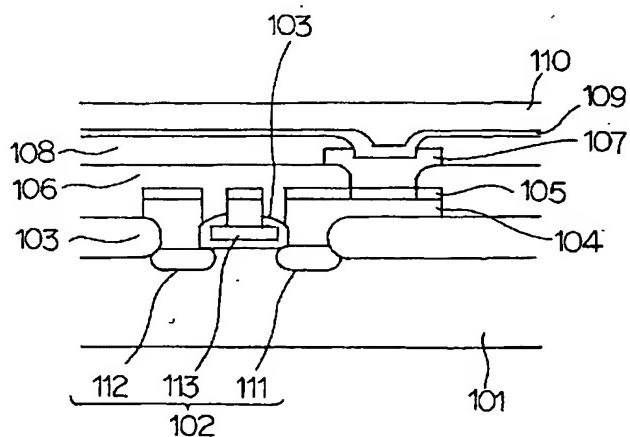
(54)【発明の名称】 相変化型不揮発性メモリ素子、該相変化型不揮発性メモリ素子を用いたメモリアレーおよび該相変化型不揮発性メモリ素子の情報記録方法

(57)【要約】

【課題】 高速記録・消去が可能な相変化型不揮発性メモリ素子、該相変化型不揮発性メモリ素子を用いたメモリアレーおよび該相変化型不揮発性メモリ素子の情報記録方法を提供する。

【解決手段】 相変化型不揮発性メモリ素子の相変化記録層として組成式が A (z) M (d) L (e) S b

(x) T e (y) (式中、 $z + d + e + x + y = 100$ 原子%、 $0 < z$ 、 x 、 $y < 100$ 原子%、 $0 \leq d < 10$ 原子%、 $0 \leq e < 100$ 原子%) で表される相変化材料を用いる。また前記相変化型不揮発性メモリ素子とトランジスターを接続してメモリアレー化する。さらに相変化型不揮発性メモリ素子に対して記録と消去のパルス幅を等しくした電気信号を印加する。



【特許請求の範囲】

【請求項1】 素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（x/y）が、 $x/y \geq 1$ であることを特徴とする相変化型不揮発性メモリ素子。

【請求項2】 相変化型不揮発性メモリ素子がマトリクス状に配置され、かつ該相変化型不揮発性メモリ素子の端部がトランジスタもしくはダイオードからなる半導体素子に接続されているメモリアレーにおいて、前記相変化型不揮発性メモリ素子は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（x/y）が、 $x/y \geq 1$ であることを特徴とするメモリアレー。

【請求項3】 相変化型不揮発性メモリ素子に電気信号を印加して情報を記録・消去する情報記録方法において、前記相変化型不揮発性メモリ素子は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（x/y）が、 $x/y \geq 1$ であり、かつ相変化型不揮発性メモリ素子に対して電気信号を印加し情報を記録・消去するに際して、記録と消去のパルス幅を等しくすることを特徴とする情報記録方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は相変化型不揮発性固体メモリ素子（相変化型不揮発性メモリ素子）に関し、さらに該相変化型不揮発性メモリ素子を用いたメモリアレーおよび該相変化型不揮発性メモリ素子の情報記録方法に関する。

【0002】

【従来の技術】 コンピュータの論理処理装置（CPU等）や各種電子機器に用いられるメモリは、性能を高めるために高速スイッチング特性が要求されている。このような状況から、DRAMやフラッシュメモリなどの置き換えを狙った高速の新規不揮発性メモリとして相変化型メモリが研究され、例えば特表平11-514150、特表2001-502848に開示されている。この不揮発性メモリ用の材料として、GeSbTe系の構成元素からなる化合物が相変化型材料（相変化材料）として用いられており、相変化材料の結晶-アモルファス間での状態変化に基づく電気抵抗差を利用して情報が記録される。開示されている技術（米Ovonix社提案）によれば、一つのメモリセルは、GeSbTe系構成元素からなる相変化型メモリ材料と抵抗およびスイッチングトランジスタが直列接続された構成となっており、メモリセルはマトリクス状にレイアウトされている。このメモリセルを構成する相変化材料をパルス電流により、結晶-アモルファス間での相状態を変化、制御して情報が記録される。ここで用いられているメモリ材料の構成元素組成としては、例えばGe(22)Sb(22)Te(56)を主体としたものが開示されている。すなわち、メモリ材料である化合物の組成式をGe(z)Sb(x)Te(y)とすると、SbとTeとの組成比（x/y）は、 $x/y < 1$ の化合物が用いられている。上記組成の化合物をメモリ材料として用いた場合、高速アクセス性、高密度の安定性メモリアレイが得られるなどの改善がなされる。しかし、メモリのスイッチング速度は必ずしも十分でなく、さらに記録速度の改善が望まれる。

【0003】

【発明が解決しようとする課題】 本発明は、上記のような問題点に鑑みなされたもので、その目的は高速記録・消去が可能な相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子を提供することにあり、さらに別の目的は、該相変化型不揮発性メモリ素子を用いたメモリアレーおよび該相変化型不揮発性メモリ素子の情報記録方法を提供することにある。

【0004】

【課題を解決するための手段】 以下、本発明について具体的に説明する。請求項1の発明は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（x/y）

が、 $x/y \geq 1$ であることを特徴とする相変化型不揮発性メモリ素子である。

【0005】請求項1の組成式で表される化合物もしくは混合物は、相変化材料であり、加熱によって高速度で結晶-アモルファス間の相変化を起すことができるため、この相状態変化に伴う電気的物性（電気抵抗）の違いを利用するにより、高速記録・消去が可能な相変化記録層が形成でき、スイッチング速度の速い相変化型不揮発性メモリ素子が提供される。

【0006】請求項2の発明は、相変化型不揮発性メモリ素子がマトリクス状に配置され、かつ該相変化型不揮発性メモリ素子の端部がトランジスタもしくはダイオードからなる半導体素子に接続されているメモリアレーにおいて、前記相変化型不揮発性メモリ素子は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（ x/y ）が、 $x/y \geq 1$ であることを特徴とするメモリアレーである。

【0007】高速記録・消去が可能な相変化記録層を有するため、前記相変化型不揮発性メモリ素子の端部をトランジスタもしくはダイオードからなる半導体素子に接続したメモリアレー構成とすることにより、スイッチング速度の速いメモリアレーが提供される。

【0008】請求項3の発明は、相変化型不揮発性メモリ素子に電気信号を印加して情報を記録・消去する情報記録方法において、前記相変化型不揮発性メモリ素子は、素子構成層中として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（ x/y ）が、 $x/y \geq 1$ であり、かつ相変化型不揮発性メモリ素子に対して電気信号を印加し情報を記録・消去するに際して、記録と消去のパルス幅を等しくすることを特徴とする情報記録方法である。

【0009】相変化型不揮発性メモリ素子のスイッチング速度が速いため、メモリ素子に対する電気信号の印加時に、記録と消去のパルス幅を等しくすることにより高速記録・消去が可能となる情報記録方法が提供される。

【0010】

【発明の実施の形態】以下、本発明をさらに詳細に説明する。ただし、本発明はなんら実施の形態に限定されるものではない。請求項1の発明は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)（式中、 $z+d+e+x+y=100$ 原子%、 $0 < z, x, y < 100$ 原子%、 $0 \leq d < 100$ 原子%、 $0 \leq e < 100$ 原子%）で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比（ x/y ）が、 $x/y \geq 1$ であることを特徴とする相変化型不揮発性メモリ素子に関する。

【0011】本発明の相変化型不揮発性メモリ素子を構成する相変化記録層には、組成式がA(z)M(d)L(e)Sb(x)Te(y)で表される化合物もしくは混合物からなる相変化材料が用いられる。組成式において、 z, d, e, x, y はそれぞれA、M、L、Sb、Teの各構成元素の組成を示し、 $z+d+e+x+y=100$ 原子%である。また、組成 z, x, y はそれぞれ0原子%を超え、100原子%未満の数を示す。すなわち、A、SbおよびTeは必須の元素である。一方、dおよびeはそれぞれ0原子%以上、100原子%未満の数を示す。従ってMおよびL元素を含まない相変化材料も用いられる。さらに、SbとTeとの組成比（ x/y ）は1以上であり、好ましくは、 $x/y=1\sim6$ の範囲である。

【0012】式中、A、MおよびLはそれぞれ、B、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素である。相変化型不揮発性メモリ素子に用いられる化合物もしくは混合物からなる相変化材料の構成元素としては、BSbTe、AlSbTe、GeAlSbTe、SiSbTe、GaSbTe、GeGaSbTe、AgSbTe、AgInSbTe、GeAgInSbTe、InSbTe、GeInSbTe、BiSbTe、GeBiSbTeが例示される。これらの化合物もしくは混合物の好ましい組成としては、B(3~7原子%)Sb(55~70原子%)Te(23~42原子%)、Si(3~7)Sb(55~70)Te(23~42)、Ga(3~7)Sb(55~70)Te(16~39)、Ag(1~5)In(5~9)Sb(55~70)Te(16~39)、Ge(1~5)Ag(1~5)In(3~7)Sb(55~70)Te(13~40)、Ge(1~5)In(5~9)Sb(55~70)Te(16~39)が挙げられる。

【0013】本発明の相変化材料、例えばAg(4)I

n(7)Sb(61)Te(28)と、従来の相変化型のメモリ材料であるGe(22)Sb(22)Te(56)をレーザービームで加熱し、相変化に伴う光学特性(反射光強度)の時間変化をフォトダイオードで検出して結晶化時間を求め、比較した結果を表1に示す。表1ではレーザービーム照射による加熱でアモルファス相が結晶相に転移する時間(結晶化時間)を相対値で示して

いる。すなわちGe(22)Sb(22)Te(56)の結晶化時間を1とすると、Ag(4)In(7)Sb(61)Te(28)は0.005である。このように本発明に用いる相変化材料によって、結晶化時間が短縮でき高速の相変化型メモリが実現できる。

【0014】

【表1】

相変化材料	結晶化時間(a.u.)
Ge(22)Sb(22)Te(56)	1
Ag(4)In(7)Sb(61)Te(28)	0.005

【0015】本発明の相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子の構成断面図の一例を図1に示す。図1において、101は基板を示し、Si基板、SOI(Silicon on Insulator)基板などを用いることができる。また基板101にはメモリを選択するためのトランジスタや素子分離のためのダイオードが形成されている。102はメモリを選択するためのMOSトランジスタを示している。このMOSトランジスタは、ドレイン領域111、ソース領域112およびゲート113から構成されている。103は絶縁層であり基板101と下記に示す下部電極104を分離する。絶縁層103を形成する材料としては、SiO₂、SiN、SiON、Al₂O₃などを単独もしくは混合物として用いることができる。104は下部電極を示し、Al、AlTi、AlSi、AlSiCu、Cu、CuTi、Ag、AgPdなどの金属材料を用いて形成される。105はバリア層を示す。バリア層105は下部電極104と相変化材料からなる相変化記録層107の相互拡散を抑制するために設ける。バリア層105としては、TiN、TiW、TiCなどのTi化合物を用いることができる。106は素子分離の絶縁層である。絶縁層106を形成する材料としては、SiO₂、SiN、SiON、Al₂O₃などを単独もしくは混合物として用いることができる。107は相変化記録層を示し、本発明の前記相変化材料を用いることができる。108は絶縁層であり、絶縁層106と同様の材料を用いることができる。109はバリア層である。バリア層109は上部電極110と相変化記録層107の相互拡散を抑制するために設けられ、105と同様の材料を用いることができる。110は上部電極を示し、下部電極104と同様の材料を用いることができる。このような構成の相変化型不揮発性メモリ素子とすることにより高速記録・消去が可能なメモリ素子が実現できる。

【0016】請求項2の発明は、相変化型不揮発性メモリ素子がマトリクス状に配置され、かつ該相変化型不揮発性メモリ素子の端部がトランジスタもしくはダイオードからなる半導体素子に接続されているメモリアレーに

おいて、前記相変化型不揮発性メモリ素子は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)(式中、z+d+e+x+y=100原子%、0<z、x、y<100原子%、0≤d<100原子%、0≤e<100原子%)で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群から選ばれる少なくとも一つの元素であり、SbとTeとの組成比(x/y)が、x/y≥1であることを特徴とするメモリアレーに関する。

【0017】請求項2に記載するメモリアレーの一例を図2の接続回路図に示す。図において、102はMOSトランジスタ、107は相変化記録層を示している。相変化記録層107は図1に示すトランジスタのドレイン領域111に下部電極104を介して直列に接続されている。203はビット線でありトランジスタのソース領域112に接続されている。204は選択線であり、トランジスタのゲート113に接続されている。205はプログラムパルス供給線であり、図1に示す上部電極110を介して相変化記録層107に接続され、書き込み・消去・読み出しに応じたパルスをメモリ素子に供給する。このようなメモリアレーとすることにより、高速記録・消去のできるスイッチング速度の速いデバイスの実現が可能となる。

【0018】請求項3の発明は、相変化型不揮発性メモリ素子に電気信号を印加して情報を記録・消去する情報記録方法において、前記相変化型不揮発性メモリ素子は、素子構成層として少なくとも組成式がA(z)M(d)L(e)Sb(x)Te(y)(式中、z+d+e+x+y=100原子%、0<z、x、y<100原子%、0≤d<100原子%、0≤e<100原子%)で表される化合物もしくは混合物からなる相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子であって、前記A、MおよびLは、それぞれB、Al、Si、Ga、Ge、Ag、InあるいはBiの元素群か

ら選ばれる少なくとも一つの元素であり、SbとTeとの組成比(x/y)が、 $x/y \geq 1$ であり、かつ相変化型不揮発性メモリ素子に対して電気信号を印加し情報を記録・消去するに際して、記録と消去のパルス幅を等しくすることを特徴とする情報記録方法に関する。

【0019】請求項3に記載する情報記録方法の一例として、本発明の相変化型不揮発性メモリ素子に対する情報の記録および消去における、電気信号の印加時のプログラムパルスの模式図を図3に示す。図3において、図1に示す相変化記録層107の記録状態が結晶相であり、未記録状態がアモルファス相に相当し、3011は記録パルス、3012は消去パルスを示す。本発明においては、相変化記録層の記録速度が速いため、記録のパルス幅(T_w)および消去のパルス幅(T_e)を等しくすることができる($T_w = T_e$)。記録(結晶化)の際は電流値をIw(記録電流)レベルとし、消去(アモルファス化)の際は電流値をIe(消去電流)レベルとする。記録・消去の電流レベルの比Iw/Ieは0.3～0.8の範囲、好ましくは0.4～0.7の範囲に設定する。このような記録および消去のパルス幅を等しくする情報記録方法によって高速の記録・消去の実現が可能となる。

【0020】

【実施例】(相変化型不揮発性メモリ素子の製作)組成式Ag(4)In(7)Sb(61)Te(28)で表される相変化材料を用い、図4に示す素子構成で相変化記録層を形成した相変化型不揮発性メモリ素子を作製した。図4において、基板1101はSi基板である。MOSトランジスタ1102は、一般的な構造のため詳細は省略する。コントラクトホール1031は、CVD法により、W(タンゲステン)薄膜を成膜し、エッチバック法でホール以外の部分を除去することによりWプラグで埋め込んで形成した。Wプラグ形成後、DCスパッタリング法により、下部電極1104としてAlTi薄膜を、バリア層1105としてTiN薄膜を順次成膜する。次に、フォトリソグラフィー、ドライエッチング法を使ってAlTi薄膜とTiN薄膜と一緒に加工し配線形状とする。次いで、CVD法により絶縁層1106であるSiO₂を成膜し、フォトリソグラフィー、ドライエッチングの手法を使ってスルーホール1061を形成する。次に、DCスパッタ法により相変化記録層1107としてAg(4)In(7)Sb(61)Te(28)からなる薄膜を成膜し、フォトリソグラフィー、ドライエッチングの手法を使って配線形状に加工する。次に、CVD法を使って絶縁層1108としてSiO₂を成膜し、フォトリソグラフィー、ドライエッチングの手法を使ってスルーホール1081を形成する。最後に、DCスパッタリング法を使って、バリア層1109としてTiNを、上部電極1110としてAlTiを順次成膜し、フォトリソグラフィー、ドライエッチング法を使つ

て配線形状に加工する。203、204、205は図2に示す接続回路図の付番に対応し、203はビット線、204は選択線であり、205はプログラムパルス供給線を示す。なお比較例として、上記相変化記録層1107としてGe(22)Sb(22)Te(56)からなる相変化材料を用いて形成したほかは上記と同じ素子構成にして、従来型の相変化型不揮発性メモリ素子を作製した。

【0021】(相変化型不揮発性メモリ素子の評価)上記で作製した実施例と比較例の相変化型不揮発性メモリ素子を用いて、情報記録・消去特性の評価を行った。本発明の相変化型不揮発性メモリ素子の記録パルス(Iw)および消去パルス(Ie)は図3に、また比較例の記録パルス(Iw)および消去パルス(Ie)は図5に示すように、それぞれのメモリ素子の記録・消去が満たされた電気信号印加条件に制御したプログラムパルスで印加した。この場合、結晶化が情報の記録状態に対応している。図5中、3021は記録パルス、3022は消去パルスを示す。図5に示すように、従来の相変化材料を相変化記録層とした場合には、相変化記録層の結晶化に時間がかかるためにTwが長く、記録(結晶化)のパルス幅を消去(アモルファス化)よりも大きくする

($T_e < T_w$)必要があり、これによって記録速度が遅くなるため、デバイスのスイッチング速度が制約されている。これに対して、本発明の相変化化合物を用いた場合には、相変化記録層の記録・消去のパルスが同じであるため、メモリ素子の記録速度は速く、上記比較例のメモリ素子に較べて、記録速度はおよそ200倍高速と/orすることができる。

【0022】

【発明の効果】本発明の相変化材料を相変化型不揮発性メモリ素子の記録層とすることによって、記録時間(結晶化時間)を従来の1/200に短縮できる。これによって、記録層の記録時における電流印加時間(パルス幅(T_w))および消去時における電流印加時間(パルス幅(T_e)))を同じ($T_w = T_e$)にすることが可能となり、デバイスのスイッチング速度の高速化が図れる。また、本発明の相変化型不揮発性メモリ素子をマトリクス状に配置し、メモリ素子の端部をトランジスタもしくはダイオードからなる半導体素子に接続したメモリアレーとすることによって、高速動作が可能な相変化型メモリデバイスが実現できる。

【図面の簡単な説明】

【図1】本発明の相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子の一例を示す構成断面図である。

【図2】本発明の相変化型不揮発性メモリ素子がトランジスタまたはダイオードからなる半導体素子に接続されているメモリアレーの一例を示す接続回路図である。

【図3】本発明の相変化型不揮発性メモリ素子に対する

情報の記録および消去における電気信号印加のプログラムパルスを示す模式図である。

【図4】実施例で製作した本発明の相変化材料を相変化記録層として有する相変化型不揮発性メモリ素子の一例を示す構成断面図である

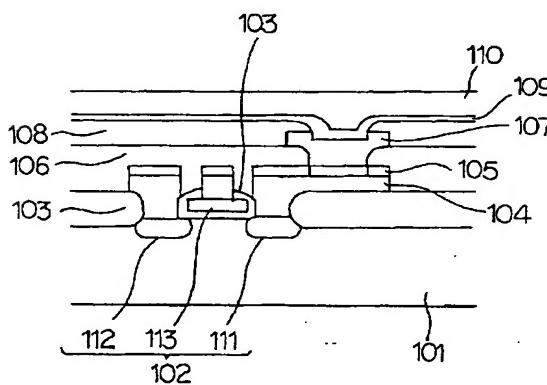
【図5】比較例で製作した相変化型不揮発性メモリ素子に対する情報の記録および消去における電気信号印加のプログラムパルスを示す模式図である。

【符号の説明】

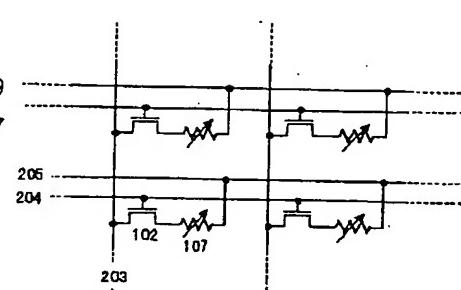
- 101 基板
- 102 MOSトランジスタ
- 103 絶縁層
- 104 下部電極
- 105 バリア層
- 106 絶縁層
- 107 相変化記録層
- 108 絶縁層
- 109 バリア層
- 110 上部電極
- 111 ドレイン領域
- 112 ソース領域
- 113 ゲート
- 203 ビット線

- 204 選択線
- 205 プログラムパルス供給線
- 1031 コンタクトホール
- 1061 スルーホール
- 1081 スルーホール
- 1101 基板(Si)
- 1102 MOSトランジスタ
- 1103 絶縁層(SiO₂)
- 1104 下部電極(AlTi)
- 1105 バリア層(TiN)
- 1106 絶縁層(SiO₂)
- 1107 相変化記録層(AgInSbTe)
- 1108 絶縁層(SiO₂)
- 1109 バリア層(TiN)
- 1110 上部電極(AlTi)
- 1111 ドレイン領域
- 1112 ソース領域
- 1113 ゲート
- 3011 記録パルス
- 3012 消去パルス
- 3021 記録パルス
- 3022 消去パルス

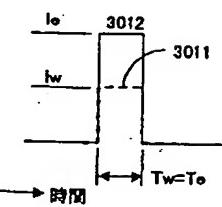
【図1】



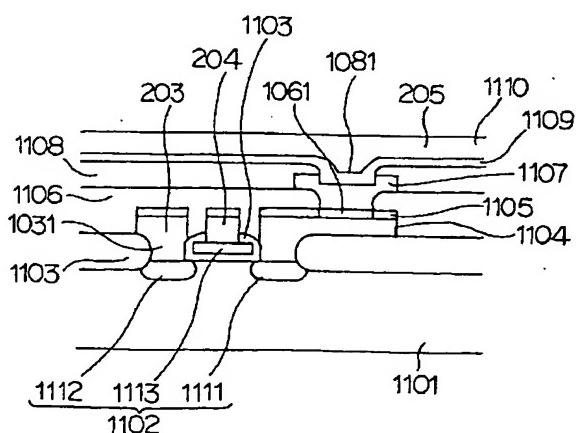
【図2】



【図3】



【図4】



【図5】

